

BEST AVAILABLE COPY

CLIPPEDIMAGE= JP404083405A

PAT-NO: JP404083405A

DOCUMENT-IDENTIFIER: JP 04083405 A

TITLE: SEMICONDUCTOR INTEGRATED CIRCUIT DEVICE

PUBN-DATE: March 17, 1992

INVENTOR-INFORMATION:

NAME

YASUE, TADASHI

ASSIGNEE-INFORMATION:

NAME

SEIKO EPSON CORP

COUNTRY

N/A

APPL-NO: JP02198824

APPL-DATE: July 26, 1990

INT-CL (IPC): H03F001/30;H03F003/45

US-CL-CURRENT: 330/252

ABSTRACT:

PURPOSE: To improve the power supply noise removing ratio(PSRR) of an operational amplifier by providing this semiconductor integrated circuit device with a voltage amplifier circuit selected by the other ends of the 3rd power supply line and the 2nd constant current source and inputting the output of a differential amplifier circuit.

CONSTITUTION: A differential amplifier stage constituted of a differential amplifier circuit 1 and a constant current source transistor(TR) 7 amplifies a differential voltage between input signals applied to an inverted input terminal 11 and a non-inverted input terminal 12 and outputs the amplified voltage from a differential amplifier stage output terminal 13. An output stage constituted of an active load TR 4 and a constant current source TR 8 amplifies the output of the differential amplifier stage and drives an output load. Since a current change due to the output load driving of the output stage of the operational amplifier is mainly absorbed by the 3rd power supply line for supplying high potential to the output stage, an equivalent

noise
resistance value to the differential amplifier stage can be set up to a -
value
larger than a conventional value. Thus, the PSRR can sharply be
improved.

COPYRIGHT: (C)1992, JPO&Japio

⑯ 公開特許公報 (A) 平4-83405

⑮ Int. Cl. 5

H 03 F 1/30
3/45

識別記号

庁内整理番号

B 8836-5J
A 8826-5J

⑯ 公開 平成4年(1992)3月17日

審査請求 未請求 請求項の数 1 (全4頁)

⑯ 発明の名称 半導体集積回路装置

⑯ 特 願 平2-198824

⑯ 出 願 平2(1990)7月26日

⑯ 発明者 安江 匠 長野県諏訪市大和3丁目3番5号 セイコーホン株式会社内

⑯ 出願人 セイコーホン株式会社 東京都新宿区西新宿2丁目4番1号

⑯ 代理人 弁理士 鈴木 喜三郎 外1名

明細書

3. 発明の詳細な説明

〔産業上の利用分野〕

本発明は半導体集積回路装置に係わり、特に、演算増幅器に関するものである。

〔従来の技術〕

近年、半導体装置の高集積化が進む中で、アナログ信号処理回路を含む信号処理システムのLSI化が活発になっている。そしてこのような信号処理システムのLSI化では、低消費電力で特性劣化の少ない演算増幅器が必要不可欠な構成要素となる。一般に、このような要求を満たすものとして、従来より第2図に示すようなCMOS構成の演算増幅器が広く使用されている。

第2図において、(1)はカレントミラー回路で構成される差動増幅回路であり、Nチャネル型MOSFET(5)および(6)の入力トランジスタ対と、Pチャネル型MOSFET(2)および(3)の負荷トランジスタ対とから構成されている。また、Nチャネル型MOSFET(7)は定電流源を構成する定電流源トランジスタである。

1. 発明の名称

半導体集積回路装置

2. 特許請求の範囲

少なくとも、第1の電源電位を供給する金属配線材からなる第1の電源線と、第2の電源電位を供給する金属配線材からなる第2の電源線と、第2の電源電位を供給する金属配線材からなる第3の電源線と、前記第1の電源線に一端が接続された第1の定電流源と、前記第1の電源線に一端が接続された第2の定電流源と、前記第2の電源線と前記第1の定電流源の他端に接続されるとともに第1の入力端子および第2の入力端子を備える差動増幅回路と、前記第3の電源線と前記第2の定電流源の他端に接続されるとともに前記差動増幅回路の出力を入力とする電圧増幅回路とから構成されることを特徴とする半導体集積回路装置。

この、差動増幅回路(1)と定電流源トランジスタ(7)により差動増幅段を構成し、反転入力端子(11)と非反転入力端子(12)とに加えられる入力信号の差分電圧を増幅し、差動増幅段出力端子(13)より出力する。次に、Pチャンネル型MOSFET(4)は、前記差動増幅段の主力をゲート入力して動作する電圧増幅回路を構成するとともに、定電圧源を構成する定電流源トランジスタであるNチャネル型MOSFET(8)の能動負荷トランジスタである。この、能動負荷トランジスタ(4)と定電流源トランジスタ(8)により出力段が構成され、差動増幅段の主力を増幅し、出力負荷を駆動する。なお、コンデンサー(9)と抵抗(10)は位相補償用の受動素子である。

また、第2図に示されるように、前記差動増幅段と前記出力段とに供給する電源は、低電位側は、第1の電源線(21)から、差動増幅段と出力段との共通の低電位側電源端子VEE(17)に供給され、高電位側は、第2の電源線(22)から、

去比(P SRR)を劣化させることはよく知られており、その影響は出力負荷が増大するに従って、顕著となる。このような出力負荷駆動に伴うP SRRの劣化は、半導体装置の高性能化を図るにあたっての大きな課題となっている。

そこで、本発明はこのような課題を解決するもので、その目的とするところは、演算増幅器のP SRRを大幅に改善した半導体集積回路装置を実現することにある。

〔課題を解決するための手段〕

半導体装置において、少なくとも、第1の電源線を供給する金属配線材からなる第1の電源線と、第2の電源線を供給する金属線材からなる第2の電源線と、第2の電源電位を供給する金属配線材からなる第3の電源線と、前記第1の電源線に一端が接続された第1の定電流源と、前記第1の電源線に一端が接続された第2の定電流源と、前記第2の電源線と前記第1の定電流源の他端に接続されるとともに第1の入力端子および第2の入力端子を備える差動増幅回路と、前記第3の電

差動増幅段と出力段との共通の高電位側電源端子VCC(20)に供給されている。

演算増幅器において、消費電力の大半を消費するのは出力段であり、その電流変化は出力負荷駆動に伴うが、低電位側では、第1の電源線(21)から電力供給が、バイアス電圧入力端子(14)に加えられた固定バイアス電圧をゲート入力として飽和領域で動作するNチャネル型MOSFETで構成された定電流源(8)を介して行なわれるため、出力段の出力負荷駆動に伴う電流変化は十分小さい。

〔発明が解決しようとする課題〕

しかしながら、第2図に示されるような従来の構成では、差動増幅段と出力段とに供給する電源の高電位側は第2の電源線(22)から差動増幅段と出力段との共通の高電位側電源端子VCC(20)に電力供給が行なわれているため、出力段の出力負荷駆動に伴う電流変化が第2の電源線(22)の共通インピーダンスにより差動増幅段の電源電位を変化させ、演算増幅器の電源雑音除

源線と前記第2の定電流源の他端に接続されるとともに前記差動増幅回路の出力を入力とする電圧増幅回路とから構成されることを特徴とする。

〔実施例〕

以下、本発明の一実施例を図面に基づいて説明する。

第1図に、本発明の一実施例の回路構成を示す。Pチャネル型MOSFET(2)のソース電極と、Pチャネル型MOSFET(3)のソース電極と、高電位側電源端子VCC1(18)とが接続され、Pチャネル型MOSFET(2)のゲート電力と、ドレイン電極および、Pチャネル型MOSFET(3)のゲート電極と、Nチャネル型MOSFET(5)のドレイン電極とが接続され、Pチャネル型MOSFET(3)のドレイン電極と、Nチャネル型MOSFET(6)のドレイン電極と、差動段出力端子(13)とが接続され、Nチャネル型MOSFET(5)のゲート電極と、反転入力端子(11)とが接続され、Nチャンネル型MOSFET(6)のゲート電極と、非反転入力端子

(12) とが接続され、Nチャンネル型MOSFET (5) のソース電極と、Nチャンネル型MOSFET (6) のソース電極と、Nチャンネル型MOSFET (7) のドレイン電極とが接続され、Nチャネル型MOSFET (7) のゲート電極と、Nチャネル型MOSFET (8) のゲート電極と、バイアス電圧入力端子 (14) とが接続され、Nチャネル型MOSFET (7) のソース電極と、Nチャネル型MOSFET (8) のソース電極と、低電位側電源端子 (17) とが接続され、Nチャネル型MOSFET (8) のドレイン電極と、Pチャネル型MOSFET (4) のドレイン電極と、抵抗 (10) の一端と、出力段端子 (16) とが接続され、Pチャネル型MOSFET (4) のソース電極と、高電位側電源端子 (19) とが接続され、Pチャネル型MOSFET (4) のゲート電極と、出力投入端子 (15) とが接続され、差動増幅段出力端子 (13) と、出力段投入端子 (15) と、コンデンサ (9) の一端が接続され、コンデンサ (9) の他端と、前記抵抗

増幅し、出力負荷を駆動する。なお、コンデンサ (9) と抵抗 (10) は位相補償用の受動素子である。

また、第1図に示されるように、前記差動増幅段と前記出力段とに供給する電源は、低電位側は、第1の電源線 (21) から、差動増幅段と出力段との共通の低電位側電源端子 VEE (17) に供給され、高電位側は、第2の電源線 (22) から差動増幅段の高電位側電源端子 VCC1 (18) に、また、第3の電源線 (23) から出力段の高電位側電源端子 VCC2 (19) に供給されている。

演算増幅器において、消費電力の大半を消費するのは出力段であり、その電流変化は出力負荷駆動に伴うが、低電位側では、第1の電源線 (21) からの電力供給が、バイアス電圧入力端子 (14) に加えられた固定バイアス電圧をゲート入力として飽和領域で動作するNチャネル型MOSFETで構成された定電流源 (8) を介して行われるため、出力段の出力負荷駆動に伴う電流変化は十

(10) の他端とが接続されるものである。

第1図において、(1) はカレントミラー回路で構成される差動増幅回路であり、Nチャネル型MOSFET (5) および (6) の入力トランジスタ対と、Pチャネル型MOSFET (2) および (3) の負荷トランジスタ対とから構成されている。また、Nチャネル型MOSFET (7) は定電流源を構成する定電流源トランジスタである。この、差動増幅回路 (1) と定電流源トランジスタ (7) とにより差動増幅段を構成し、反転入力端子 (11) と非反転入力端子 (12) とに加えられる入力信号の差分電圧を増幅し、差動増幅段出力端子 (13) より出力する。次に、Pチャネル型MOSFET (4) は、前記差動増幅段の出力をゲート入力して動作する電圧増幅回路を構成するとともに、定電圧源を構成する定電流源トランジスタであるNチャネル型MOSFET (8) の能動負荷トランジスタである。この、能動負荷トランジスタ (4) と定電流源トランジスタ (8) とにより出力段が構成され、差動増幅段の出力を

分小さい。一方、高電位側では、前述のように、差動増幅段は第2の電源線 (22) から電力供給が行われ、出力段は第3の電源線 (23) から電力供給が行なわれるため、出力段の出力負荷駆動に伴う電流変化は、低インピーダンスな第3の電源線 (23) 側において主に吸収され、差動増幅段に対する等価雜音抵抗 (24) は増大する。

【発明の効果】

以上説明したように、本発明によれば、演算増幅器の出力段の出力負荷駆動に伴う電流変化は、出力段に高電位を供給する第3の電源線において主に吸収されるため、差動増幅段に対する等価雜音抵抗を従来に較べてはるかに大きな値とすることが可能であり、PSRRを大幅に改善することができ、半導体装置の高性能化に大きな効果がある。

4. 図面の簡単な説明

第1図は本発明の半導体集積回路装置の一実施例を示す回路構成図。第2図は従来の半導体集積

回路装置を示す回路構成図である。

23・・・・・・第3の電源線

24・・・・・・等価雜音抵抗

1・・・・・・差動増幅回路

2, 3, 4・・Pチャンネル型MOSFET

以 上

5, 6, 7, 8

・・・NチャンネルMOSFET

9・・・・・・コンデンサ

出願人 セイコーエプソン株式会社

代理人 弁理士 鈴木 喜三郎(他1名)

10・・・・・・抵抗

11・・・・・・反転入力端子

12・・・・・・非反転入力端子

13・・・・・・差動増幅段出力端子

14・・・・・・バイアス電圧入力端子

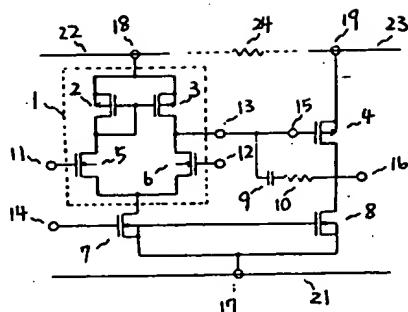
15・・・・・・出力段入力端子

16・・・・・・出力段出力端子

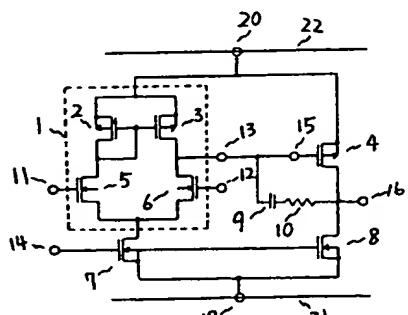
17・・・・・・低電圧側電源端子V_{EE}18・・・・・・高電位側電源端子V_{CC1}19・・・・・・高電位側電源端子V_{CC2}20・・・・・・高電位側電源端子V_{CC}

21・・・・・・第1の電源線

22・・・・・・第2の電源線



第1回



第2回

**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- BLACK BORDERS**
- IMAGE CUT OFF AT TOP, BOTTOM OR SIDES**
- FADED TEXT OR DRAWING**
- BLURRED OR ILLEGIBLE TEXT OR DRAWING**
- SKEWED/SLANTED IMAGES**
- COLOR OR BLACK AND WHITE PHOTOGRAPHS**
- GRAY SCALE DOCUMENTS**
- LINES OR MARKS ON ORIGINAL DOCUMENT**
- REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY**
- OTHER: _____**

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.